

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)☐ [Generate Collection](#) [Print](#)

L1: Entry 10 of 39

File: DWPI

DERWENT-ACC-NO: 2001-293224

DERWENT-WEEK: 200251

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor device, especially MOSFET of silicon-on-nothing architecture, has source and drain regions covering opposite silicon thin film end zones extending beyond overlying gate dielectric layer

INVENTOR: BOIS, D; JURCZAK, M ; SKOTNICKI, T

PRIORITY-DATA: 1999FR-0012308 (October 1, 1999)

[Search Selected](#)[Search All](#)[Clear](#)

PATENT-FAMILY:

<input type="checkbox"/> PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<input checked="" type="checkbox"/> <u>FR 2799307 A1</u>	April 6, 2001		022	H01L029/786
<input type="checkbox"/> <u>EP 1218942 A1</u>	July 3, 2002	F	000	H01L029/417
<input type="checkbox"/> <u>WO 200126160 A1</u>	April 12, 2001	F	000	H01L029/417

INT-CL (IPC): H01 L 21/336; H01 L 29/417; H01 L 29/786

ABSTRACTED-PUB-NO: FR 2799307A

BASIC-ABSTRACT:

NOVELTY - A semiconductor device, having source/drain regions (23, 24) covering opposite silicon thin film end zones (13a) extending beyond an overlying gate dielectric layer (14), is new.

DETAILED DESCRIPTION - A semiconductor device has a channel region defined between source and drain regions (23, 24) in a silicon body (10), a gate (15) on a gate dielectric thin film (14) above the channel region, a buried dielectric layer (22) and a silicon thin film (13) extending between the source and drain regions and contained between the buried dielectric layer (22) and the gate dielectric layer (14). The novelty is that the silicon thin film (13) has an area greater than that of the gate dielectric layer (14) so that its upper surface has two opposite zones (13a) which extend beyond the gate dielectric layer (14), the source and drain regions (23, 24) covering respective opposite zones (13a).

An INDEPENDENT CLAIM is also included for production of the above device.

USE - Especially as a MOSFET of SON (silicon on nothing) architecture for high performance CMOS devices used for rapid signal processing and/or low voltage/high power applications.

ADVANTAGE - The design facilitates formation of a reliable contact between the silicon thin film of the channel and the source/drain regions, avoids the need for an expensive SOI substrate, suppresses short channel effects, provides better thermal contact between the channel and the substrate and provides reduced series resistance.

DESCRIPTION OF DRAWING(S) - The drawing shows a schematic cross-sectional view of a SON-MOSFET according to the invention.

Silicon body 10

Silicon thin film 13

Silicon thin film end zones 13a

Gate dielectric thin film 14

Polysilicon gate 15

Spacers 17, 18

Buried dielectric layer 22

Source/drain regions 23, 24

Source/drain region extensions 23a, 24a

[Previous Doc](#)

[Next Doc](#)

[Go to Doc#](#)

(19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(11) N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 799 307

(21) N° d'enregistrement national : 99 12308

(51) Int Cl⁷ : H 01 L 29/786

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 01.10.99.

(30) Priorité :

(43) Date de mise à la disposition du public de la
demande : 06.04.01 Bulletin 01/14.

(56) Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

(60) Références à d'autres documents nationaux
apparentés :

(71) Demandeur(s) : FRANCE TELECOM Société ano-
nyme — FR.

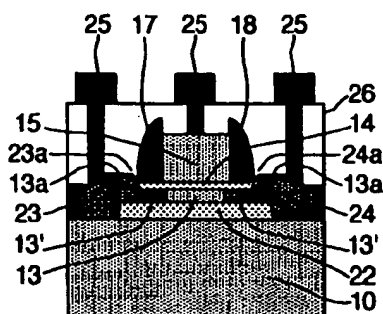
(72) Inventeur(s) : BOIS DANIEL, SKOTNICKI THOMAS
et JURCZAK MALGORZATA.

(73) Titulaire(s) :

(74) Mandataire(s) : CASALONGA ET JOSSE.

(54) DISPOSITIF SEMI-CONDUCTEUR COMBINANT LES AVANTAGES DES ARCHITECTURES MASSIVES ET SOI,
PROCEDE DE FABRICATION.

(57) Le dispositif semi-conducteur selon l'invention comprend un corps de silicium 10 dans lequel sont formées des régions de source et de drain 23, 24 définissant entre elles une région de canal, une mince couche de diélectrique de grille 14 sur la région de canal et une grille 15 sur la mince couche de diélectrique de grille, une couche ensevelie d'un matériau diélectrique 22 s'étendant entre les régions de source et de drain 23, 24 et une mince couche de silicium 13 s'étendant entre les régions de source et de drain et comprise entre la couche de matériau diélectrique ensevelie 22 et la couche de diélectrique de grille 14, caractérisé en ce que cette mince couche de silicium 13 a une aire supérieure à celle de la couche de diélectrique de grille 4 de sorte que sa surface supérieure comporte deux zones opposées 13a qui s'étendent au-delà de la couche de diélectrique de grille 4 et en ce que les régions de source et de drain 8, 9 recouvrent respectivement chacune, au moins en partie, une desdites zones opposées 13a.
Application aux transistors.



FR 2 799 307 - A1



Dispositif semi-conducteur combinant les avantages des architectures massive et SOI, et procédé de fabrication.

La présente invention concerne de manière générale les dispositifs semi-conducteurs CMOS à haute performance pour le traitement rapide de signaux et/ou des applications basse tension/basse puissance et plus particulièrement des transistors MOS à effet de champ (MOSFET). La nouvelle architecture dite "SON" (Silicon on Nothing) combine les avantages des architectures massive et silicium sur isolant (SOI).

Un des facteurs limitatifs des MOSFETs d'architecture massive classiques est l'effet de substrat qui nuit aux performances du transistor. Cet inconvénient est évité dans les MOSFETs d'architecture silicium sur isolant (SOI) en séparant le mince film de silicium du substrat par une couche enterrée d'oxyde de silicium.

L'élimination de l'effet de substrat dans les MOSFETs d'architecture SOI à film mince totalement appauvri résulte en un accroissement du courant de drain.

Cependant, les MOSFETs d'architecture SOI ultramince souffrent d'une résistance source/drain (S/D) élevée du fait de jonctions peu profondes limitées par l'épaisseur de la couche de silicium et d'une mauvaise conductivité thermique. En outre, le coût de fabrication des substrats d'architecture SOI est élevé, ce qui a limité leur introduction sur le marché.

Pour remédier aux inconvénients des dispositifs de l'art antérieur, on a proposé un dispositif semi-conducteur tel que représenté à la figure 1, comprenant un substrat de silicium 10 dans lequel sont formées des régions de source 23 et de drain 24, une mince couche de diélectrique

de grille 14 sur la région de canal et une grille 15 sur la mince couche de diélectrique de grille 14, une couche ensevelie d'un matériau diélectrique 22 s'étendant entre les régions de source et de drain et une mince couche de silicium 13 comprise entre la couche de matériau diélectrique ensevelie 22 et la couche de diélectrique de grille 14, constituant la région de canal du dispositif entre les régions de source et de drain 23, 24. La couche de matériau diélectrique ensevelie 22 peut être constituée d'une cavité remplie d'air.

Du fait de la très faible épaisseur de la mince couche de silicium 13 constituant le canal, le contact latéral des régions de source 23 et de drain 24 avec cette couche de silicium 13 est difficile à réaliser.

L'invention a donc pour objet de modifier l'architecture des jonctions du dispositif décrit ci-dessus, de façon à réaliser un contact sûr et facile à réaliser entre la mince couche de silicium constituant la canal et les régions de source et de drain.

L'invention a également pour objet un procédé pour réaliser un tel dispositif.

Le dispositif semi-conducteur selon l'invention comprend un corps de silicium dans lequel sont formées des régions de source et de drain définissant entre elles une région de canal, une mince couche de diélectrique de grille sur la région de canal et une grille sur la mince couche de diélectrique de grille, une couche ensevelie d'un matériau diélectrique et une mince couche de silicium s'étendant entre les régions de source et de drain et comprise entre la couche de matériau diélectrique ensevelie et la couche de diélectrique de grille, la mince couche de silicium ayant une aire supérieure à celle de la couche de diélectrique de grille de sorte que sa surface supérieure comporte deux zones opposées qui s'étendent au-delà de la couche de diélectrique de grille, les régions de source et de drain recouvrant respectivement chacune, au moins en partie, une desdites zones opposées.

Dans une première réalisation de l'invention, la couche de matériau diélectrique ensevelie s'étend entre les régions de source et de drain.

Dans une autre réalisation de l'invention, la couche de matériau diélectrique ensevelie s'étend sur toute la surface du corps de silicium

sous les régions de source et de drain.

En outre, le dispositif peut être un dispositif de structure planaire dans laquelle les surfaces des régions de source et de drain et de la région de grille sur lesquelles sont réalisés les contacts, se trouvent dans un même plan.

En général, la couche de matériau diélectrique ensevelie a une épaisseur de 1 à 50 nm, par exemple de l'ordre de 10 nm.

Lorsque les régions de source et de drain comportent des extensions adjacentes à la mince couche de diélectrique de grille (par exemple SiO_2 , Ta_2O_5 , Si_3N_4 , Al_2O_3 , etc.), la couche de matériau diélectrique ensevelie est de préférence située en dessous de ces extensions et de préférence encore adjacente à ces extensions.

La couche de matériau diélectrique ensevelie peut être constituée de tout matériau diélectrique solide ou gazeux approprié mais est de préférence une cavité remplie d'air.

La mince couche de silicium formant le canal du dispositif a en général une épaisseur de 1 à 50 nm.

Le contact avec la mince couche de silicium est obtenu par élimination des seconds espaceurs. Les zones exposées de la couche de silicium permettent alors de débiter l'épitaxie (sélective) des régions de source et de drain. La longueur de chacune des zones exposées de la mince couche de silicium est égale à l'épaisseur de chacun des seconds espaceurs, généralement ≤ 100 nm.

L'invention concerne également un procédé de fabrication du dispositif semi-conducteur selon l'invention.

Le procédé de l'invention comprend :

(a) la formation sur une surface principale d'un corps de silicium d'une couche de germanium ou d'alliage SiGe;

(b) la formation sur la couche de germanium ou d'alliage SiGe d'une mince couche de silicium;

(c) la formation sur la mince couche de silicium d'une mince couche de diélectrique de grille;

(d) la formation sur la mince couche de diélectrique de grille d'une grille ayant une surface supérieure revêtue d'un masque dur;

(e) la formation sur deux côtés opposés de la grille et du masque

dur de premiers espaceurs en un premier matériau;

(f) la formation le long des premiers espaceurs de seconds espaceurs en un second matériau différent du premier matériau;

5 (g) la gravure, de part et d'autre des seconds espaceurs, de la mince couche de diélectrique de grille, de la mince couche de silicium, et éventuellement d'une partie de la couche de germanium ou d'alliage SiGe;

(h) la gravure latérale sélective de la couche de germanium ou d'alliage SiGe pour former un tunnel;

10 (i) facultativement, le remplissage du tunnel avec un matériau diélectrique solide;

(j) l'élimination des seconds espaceurs pour découvrir sur la mince couche de silicium deux zones situées respectivement de part et d'autre des premiers espaceurs; et

15 (k) la formation de part et d'autre des premiers espaceurs de régions de source et de drain recouvrant, au moins en partie, lesdites zones.

Dans une première réalisation de l'invention, la formation des régions de source et de drain comprend l'épitaxie sélective de silicium pour former de part et d'autre des premiers espaceurs des dépôts de
20 silicium polycristallins précurseurs des futures régions de source et de drain, et recouvrant, au moins en partie, les zones découvertes de la mince couche de silicium, l'élimination du masque dur de grille et l'implantation d'un dopant dans les dépôts de silicium polycristallin pour former les régions de source et de drain.

25 Dans une seconde réalisation de l'invention, la formation des régions de source et de drain comprend le dépôt d'une couche épaisse de silicium polycristallin d'enrobage, la formation sur la couche épaisse de silicium polycristallin d'un masque de résine, la gravure de la couche épaisse, l'élimination du masque, le polissage mécano-chimique de la
30 couche épaisse de silicium polycristallin jusqu'au niveau de la grille pour réaliser des parties destinées à former les futures régions de source et de drain coplanaires avec la grille et l'implantation de dopant dans ces parties restantes de la couche épaisse de silicium polycristallin pour former des régions de source et de drain recouvrant les zones découvertes de la mince
35 couche de silicium.

De préférence, le procédé de l'invention comprend avant l'étape de formation des premiers espaceurs, une étape d'implantation de dopant pour former des extensions des régions de source et de drain, et après formation des premiers espaceurs, une étape d'implantation de dopant (surdopage des régions de source et de drain).

Les alliages SiGe sont bien connus et on peut citer les alliages $\text{Si}_{1-x}\text{Ge}_x$ où $0 < x < 1$ et les alliages $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ où $0 < x \leq 0,95$ et $0 < y \leq 0,05$.

De préférence, les alliages SiGe ont un taux relativement élevé en germanium ($x \geq 0,1$; de préférence $0,1 \leq x \leq 0,3$) pour une meilleure sélectivité de gravure par rapport au silicium et à SiO_2 .

L'élimination sélective du germanium ou de l'alliage SiGe peut se faire par tout procédé connu, par exemple au moyen d'une chimie oxydante telle qu'une solution 40 ml HNO_3 70% + 20 ml H_2O_2 + 5 ml HF 0,5%, ou par attaque plasma isotrope.

La suite de la description se réfère aux figures annexées qui représentent respectivement :

Figure 1 - une vue en coupe schématique d'une réalisation d'un SON-MOSFET ayant des régions de source et de drain classiques;

Figure 2 - une vue en coupe schématique d'une réalisation d'un SON-MOSFET selon l'invention;

Figure 3 - une vue en coupe schématique d'une autre réalisation d'un SON-MOSFET selon l'invention;

Figures 4a à 4i - des vues schématiques en coupe des étapes principales d'un premier mode de réalisation du procédé de fabrication d'un SON-MOSFET selon l'invention;

Figures 5a à 5i - des vues schématiques en coupe des étapes principales d'un second mode de réalisation.

Bien que la description sera faite pour un transistor MOS à effet de champ selon l'invention (SON-MOSFET), elle peut s'appliquer à tout autre dispositif semi-conducteur approprié.

Sur la figure 2, on a représenté une première réalisation d'un SON-MOSFET selon l'invention qui comprend, comme cela est classique, un corps en silicium 10 ayant une surface supérieure et des régions de source et de drain 23, 24 définissant entre elles une région de canal.

Comme cela est également classique, les régions de source et de drain 23,

24 comportent des extensions 13' situées dans la région de canal. La surface supérieure du corps 10 est revêtue d'une mince couche d'un diélectrique de grille 14, par exemple SiO_2 , et une grille 15 en silicium polycristallin est formée au-dessus de la région de canal et flanquée d'espaceurs 17, 18, par exemple en Si_3N_4 ou SiO_2 . Enfin, la structure est revêtue d'un matériau d'enrobage 26 et des contacts 25 sont prévus sur les régions de source et de drain 23, 24 et la grille 15.

La structure qui vient d'être décrite est une structure MOSFET classique.

Dans le cas du SON-MOSFET, une cavité remplie d'air ou une couche d'un matériau diélectrique solide approprié 22 pontre les régions de source et de drain 23, 24 en dessous de la grille 15, de manière à isoler une mince couche de silicium 13 du reste du corps de silicium 10. Cette mince couche de silicium 13 constitue le canal du transistor.

La mince couche de silicium 13 a généralement une épaisseur de 1 à 50 nm.

L'épaisseur de la cavité remplie d'air ou de la couche de matériau diélectrique solide 22 est de 1 à 50 nm, de préférence de l'ordre de 10 nm.

Selon l'invention, la mince couche de silicium 13 constituant le canal a une aire supérieure à la couche de diélectrique de grille 14, de sorte que sa surface supérieure présente deux zones découvertes 13a s'étendant au-delà de la couche de diélectrique de grille 14, de part et d'autre des espaceurs 17, 18.

Selon l'invention également, les régions de source et de drain 23, 24 comportent des prolongements 23a, 24a recouvrant respectivement chacun, au moins en partie, une des deux zones découvertes 13a de la mince couche de silicium 13.

Ainsi, même avec des épaisseurs extrêmement petites de la mince couche de silicium 13, on réalise un contact fiable et suffisant entre les régions de source et de drain 23, 24 et la mince couche de silicium 13 constituant le canal, ce qui pourrait ne pas être le cas avec un simple contact latéral.

On a représenté à la figure 3 une autre réalisation d'un SON-MOSFET selon l'invention, ayant une structure planaire, c'est-à-dire que les surfaces supérieures des régions de source et de drain et de la grille sur

lesquelles sont réalisés les contacts se trouvent dans un même plan.

Ce dispositif ne diffère du dispositif de la figure 2, outre la planarisation, que par le fait que la couche de matériau diélectrique ensevelie 22 s'étend sur toute la surface du corps de silicium 10, immédiatement en dessous des régions de source et de drain 23, 24.

On va maintenant décrire, en liaison avec les figures 4a à 4i, un premier mode de mise en oeuvre du procédé de l'invention pour la fabrication d'un SON-MOSFET tel que représenté à la figure 2.

Comme le montre la figure 4a, on commence par déposer successivement, par épitaxie (par exemple par dépôt chimique en phase vapeur), sur un substrat de silicium 10, une couche de germanium ou d'alliage SiGe 12, d'épaisseur généralement comprise entre 1 et 50 nm et une mince couche de silicium 13, d'épaisseur de 1 à 50 nm.

On forme ensuite de manière classique, comme le montre la figure 4b, une couche d'oxyde de grille 14 (SiO_2), puis sur cette couche d'oxyde de grille 14 une grille 15 en silicium polycristallin.

On peut alors éventuellement former, par implantation ionique classique, des zones faiblement dopées 13 dans la couche mince de silicium 17, zones qui serviront ultérieurement à former les extensions des régions de source et de drain.

Comme le montre la figure 4b, la surface supérieure de la grille 15 peut être protégée par un masque dur 16, par exemple une couche d'oxynitride de silicium, comme cela est bien connu, et on forme de manière connue sur les flancs opposés de la grille 15 et du masque dur 16 des premiers espaceurs 17, 18 en Si_3N_4 .

On forme alors, de manière classique, comme le montre la figure 4c, le long des premiers espaceurs 17, 18, des seconds espaceurs 19, 20 en SiO_2 .

On grave alors, de chaque côté des seconds espaceurs 19, 20, comme le montre la figure 4d, par exemple au moyen d'un plasma, la couche d'oxyde de grille 14, la couche mince de silicium 13, et éventuellement une partie supérieure de la couche de Ge ou d'alliage SiGe 12.

A ce stade, on élimine sélectivement le matériau de la couche 12 pour former un tunnel 21, comme le montre la figure 4e.

Bien que cela ne soit pas nécessaire, on peut combler le tunnel 21 avec un matériau diélectrique solide approprié 22.

Comme le montre la figure 4f, on élimine alors les seconds espaceurs 19, 20 et les parties sous-jacentes de la couche d'oxyde de grille 14 pour découvrir sur la surface de la mince couche de silicium 13 deux zones 13a situées de part et d'autre des premiers espaceurs 17, 18.

Comme le montre la figure 4f, on élimine la couche de matériau diélectrique 22 de part et d'autre de la couche de silicium (désoxydation dans le cas d'une couche de SiO_2) afin de débiter l'épitaxie des régions de source et de drain.

On procède alors classiquement, comme le montre la figure 4g, au dépôt sélectif de silicium (par exemple par croissance épitaxiale) de part et d'autre des premiers espaceurs 17, 18 de silicium polycristallin, de façon à former des dépôts de silicium polycristallin 23, 24 précurseur des futures zones de source et de drain, comportant chacune un prolongement 23a, 24a recouvrant respectivement une des zones découvertes 13a de la surface de la mince couche de silicium 13.

Après élimination du masque dur de grille 16, on procède à l'implantation de dopant dans les dépôts de silicium polycristallin 23, 24 et dans la grille 15 (figure 4h).

L'achèvement du dispositif, tel que la formation de contacts 25 et l'encapsulation éventuelle 26, s'effectue de manière tout à fait classique (figure 4i).

On a représenté, aux figures 5a à 5i, un deuxième mode de réalisation du procédé de l'invention qui permet d'obtenir un MOSFET selon l'invention à structure planaire tel que représenté à la figure 3.

Les étapes du procédé jusqu'à l'élimination de la couche de Ge ou d'alliage SiGe représentées aux figures 5a à 5e, sont identiques à celles décrites en liaison avec les figures 4a à 4e, si ce n'est que le matériau constituant les premiers espaceurs 17, 18 est du SiO_2 et celui des seconds espaceurs 19, 20 est du Si_3N_4 .

Après formation du tunnel 21, on réalise une couche de matériau diélectrique 22 remplissant le tunnel et recouvrant les jonctions de la surface principale du substrat où seront formées ultérieurement les régions de source et de drain (figure 5f).

Comme le montre la figure 5g, on recouvre l'ensemble de la structure d'une couche épaisse de silicium polycristallin 27, puis d'un masque de résine 28. La couche épaisse de silicium polycristallin 27 est alors gravée de manière classique au moyen du masque de résine à la dimension et la géométrie voulues.

Sur la figure 5g, on a représenté l'isolement latéral 11, afin de donner une référence pour la gravure de la couche de silicium polycristallin 27. Pour des raisons de simplification, on n'a pas représenté cet isolement 11 sur les autres figures.

Après enlèvement du masque de résine 28, on procède alors à un polissage mécano-chimique classique de la couche épaisse de silicium polycristallin 27 jusqu'à enlèvement complet du masque dur de grille 16, de manière à réaliser des régions du silicium polycristallin 23, 24, destinées à former les futures régions de source et de drain ayant des prolongements 23a, 24a qui recouvrent les zones découvertes 13a de la mince couche de silicium 13. On procède alors à une implantation classique de dopants pour réaliser les régions de source et de drain et la grille.

La structure obtenue est une structure planaire, c'est-à-dire que les surfaces supérieures des régions 23, 24 et de la grille 15 sont situées dans un même plan.

Comme le montre la figure 5i, le dispositif est achevé comme précédemment par formation classique de contacts 25 et d'une encapsulation 26.

Les dispositifs, en particulier les dispositifs planaires, selon l'invention, dont la structure est voisine de celle des dispositifs SOI fabriqués en utilisant un substrat de silicium sur isolant, et leurs procédés de fabrication, présentent de nombreux avantages par rapport à ces dispositifs SOI.

Tout d'abord, ils ne nécessitent pas l'emploi d'un substrat SOI coûteux qui le plus souvent nécessite une étape d'amincissement de l'épaisseur du silicium.

La couche de silicium dans les procédés de l'invention étant formée par épitaxie peut avoir une épaisseur arbitrairement mince.

Le procédé de l'invention permet des épaisseurs très minces de la

couche de matériau diélectrique ensevelie (ou en matériau solide), de l'ordre de quelques nanomètres par rapport aux centaines de nanomètres pour les SOI conventionnels, ce qui présente un avantage du point de vue de la suppression des effets de canaux courts.

5 On obtient un meilleur contact thermique entre le canal et le substrat, grâce à la couche de matériau diélectrique ensevelie et aussi grâce au fait que cette couche ne déborde pas de la zone de grille.

10 On supprime le lien entre l'épaisseur de la mince couche de silicium et la profondeur des jonctions diminuant ainsi les résistances séries.

 On peut encore, grâce à la réoxydation de la face arrière de la mince couche de silicium constituant le canal (après élimination de la couche de Ge ou SiGe), obtenir un très bon état de surface canal/isolant.

15 Enfin, on supprime les problèmes de sélectivité de la gravure de Si par rapport à SiO_2 qui, dans un substrat SOI conventionnel, peuvent conduire au perçage de la mince couche d'oxyde sous les régions de source et de drain.

REVENDECATIONS

1. Dispositif semi-conducteur comprenant un corps de silicium (10) dans lequel sont formées des régions de source et de drain (23, 24) définissant entre elles une région de canal, une mince couche de diélectrique de grille (14) sur la région de canal et une grille (15) sur la mince couche de diélectrique de grille, une couche ensevelie d'un matériau diélectrique (22) et une mince couche de silicium (13) s'étendant entre les régions de source et de drain et comprise entre la couche de matériau diélectrique ensevelie (22) et la couche de diélectrique de grille (14), caractérisé en ce que cette mince couche de silicium (13) a une aire supérieure à celle de la couche de diélectrique de grille (14) de sorte que sa surface supérieure comporte deux zones opposées (13a) qui s'étendent au-delà de la couche de diélectrique de grille (14) et en ce que les régions de source et de drain (23, 24) recouvrent respectivement chacune, au moins en partie, une desdites zones opposées (13a).
2. Dispositif selon la revendication 1, caractérisé en ce que la couche de matériau diélectrique ensevelie (22) s'étend entre les régions de source et de drain (23, 24).
3. Dispositif selon la revendication 1, caractérisé en ce que la couche de matériau diélectrique ensevelie (22) s'étend sur toute la surface du corps de silicium (10) en dessous des régions de source et de drain (23, 24).
4. Dispositif selon l'une quelconque des revendications 1 à 3, caractérisé en ce qu'il a une structure planaire.
5. Dispositif selon l'une quelconque des revendications 1 à 4, caractérisé en ce que la couche de matériau diélectrique ensevelie (22) est une cavité remplie d'air.
6. Dispositif selon l'une quelconque des revendications 1 à 4, caractérisé en ce que la couche de matériau diélectrique ensevelie (22) est un matériau solide.
7. Dispositif selon l'une quelconque des revendications 1 à 6, caractérisé en ce que le dispositif est un transistor.
8. Procédé de fabrication d'un dispositif selon la revendication 1, caractérisé en ce qu'il comprend :

(a) la formation sur une surface principale d'un corps de silicium (10) d'une couche de germanium ou d'alliage SiGe (12);

(b) la formation sur la couche de germanium ou d'alliage SiGe (12) d'une mince couche de silicium (13);

5 (c) la formation sur la mince couche de silicium (13) d'une mince couche de diélectrique de grille (14);

(d) la formation sur la couche de diélectrique de grille (14) d'une grille (15) et du masque dur (16) sur la grille;

10 (e) la formation sur deux côtés opposés de la grille (15) et du masque dur (16) de premiers espaceurs (17, 18) en un premier matériau;

(f) la formation le long des premiers espaceurs (17, 18) de seconds espaceurs (19, 20) en un second matériau différent du premier matériau;

15 (g) la gravure, de part et d'autre des seconds espaceurs (19, 20) de la couche de diélectrique de grille (14), de la mince couche de silicium (13) et éventuellement d'une partie de la couche de germanium ou alliage SiGe (12);

(h) la gravure sélective de la couche de germanium ou d'alliage SiGe (12) pour former un tunnel (21);

20 (i) facultativement, le remplissage du tunnel (21) avec un matériau diélectrique solide (22);

(j) l'élimination des seconds espaceurs (19, 20) pour découvrir sur la mince couche de silicium (13) deux zones (13a) situées respectivement de part et d'autre des premiers espaceurs (17, 18); et

25 (k) la formation de part et d'autre des premiers espaceurs (17, 18) de régions de source et de drain (23, 24; 23a, 24a) recouvrant, au moins en partie, lesdites zones (13a).

9. Procédé selon la revendication 8, caractérisé en ce que la formation des régions de source et de drain (23, 24) comprend le dépôt de
30 silicium polycristallin par épitaxie sélective pour former de part et d'autre des premiers espaceurs (17, 18) des dépôts de silicium polycristallin précurseurs des futures régions de source et de drain et recouvrant, au moins en partie, les zones découvertes (13a) de la mince couche de silicium (13), l'élimination du masque dur de grille 16 et l'implantation de
35 dopant dans les dépôts de silicium polycristallin pour réaliser les régions

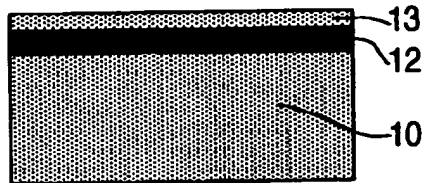
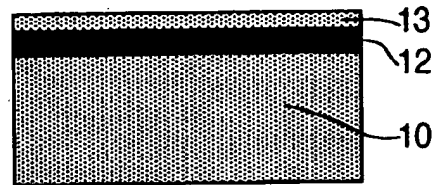
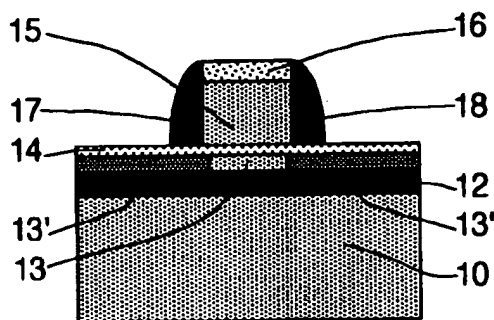
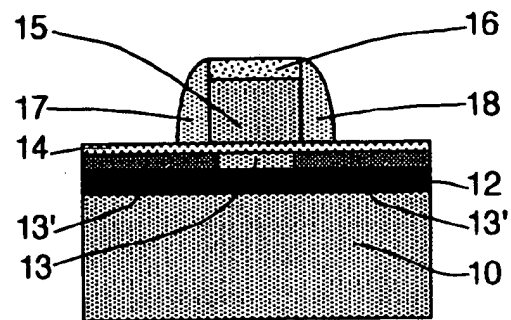
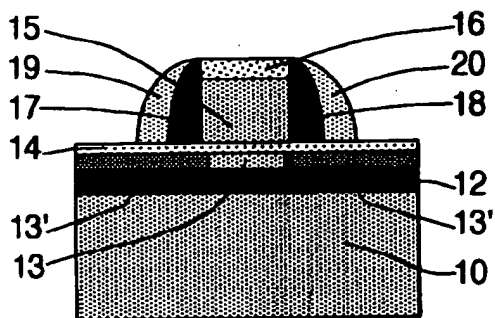
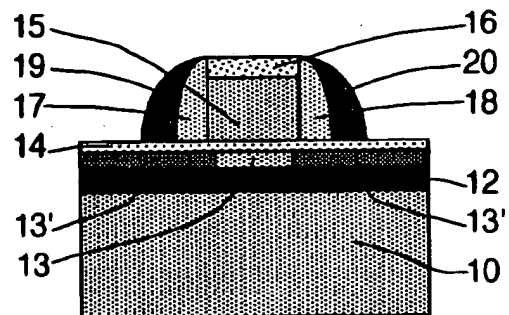
de source et de drain.

- 5 10. Procédé selon la revendication 8, caractérisé en ce que la formation des régions de source et de drain comprend le dépôt d'une couche épaisse de silicium polycristallin d'enrobage (27), la formation sur la couche épaisse de silicium polycristallin (27) d'un masque de résine (28), la gravure de la couche épaisse de silicium polycristallin (27) au moyen du masque à la forme et à la dimension voulues, l'élimination du masque de résine (28), le polissage mécano-chimique de la couche épaisse de silicium (23) jusqu'au niveau de la grille (15) pour réaliser dans la
- 10 couche épaisse de silicium polycristallin (23) des parties (23, 24) destinées à former de futures régions de source et de drain coplanaires avec la grille et l'implantation d'un dopant dans lesdites parties (23, 24) pour former les régions de source et de drain.

This cross-sectional view shows a semiconductor device with a central gate structure and side gates. The central gate structure includes a gate dielectric layer (17) and a gate electrode (18) on a gate insulating layer (25). The side gates include gate dielectric layers (15) and gate electrodes (23a) on gate insulating layers (25). The device features a channel region (23) and a source/drain region (24) with a doped layer (24a). The substrate is labeled 10, and the bottom layer is 22. The channel region is further divided into 13 and 13', and the source/drain region into 13a and 24a. The gate insulating layer is 26, and the gate electrode is 14.

[illegible]

2/6

FIG.4aFIG.5aFIG.4bFIG.5bFIG.4cFIG.5c

3/6

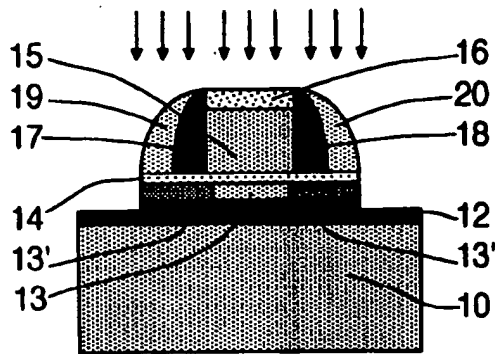
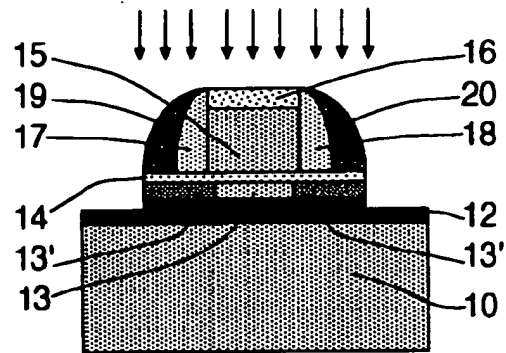
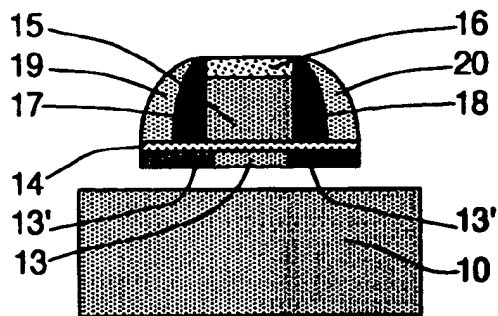
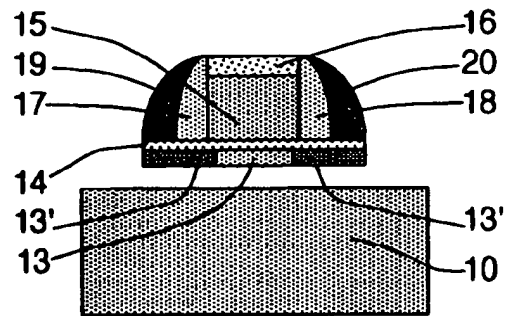
FIG.4dFIG.5dFIG.4eFIG.5e

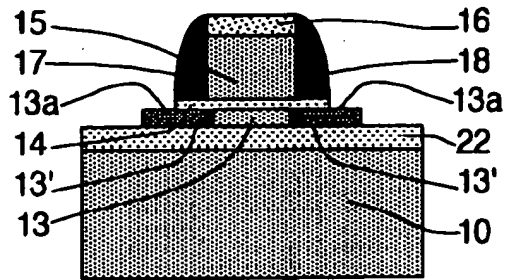
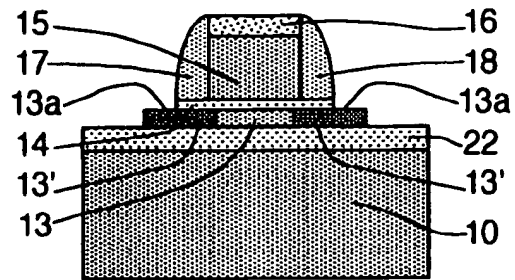
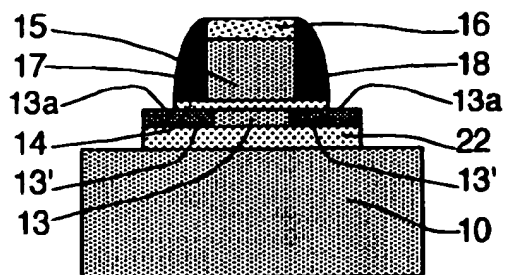
FIG.4fFIG.5fFIG.4f'

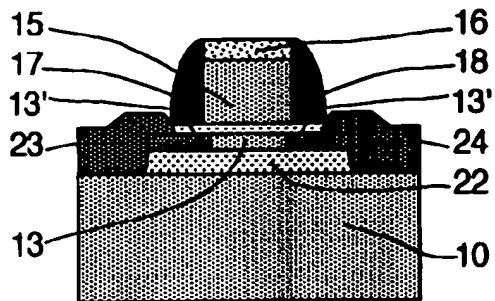
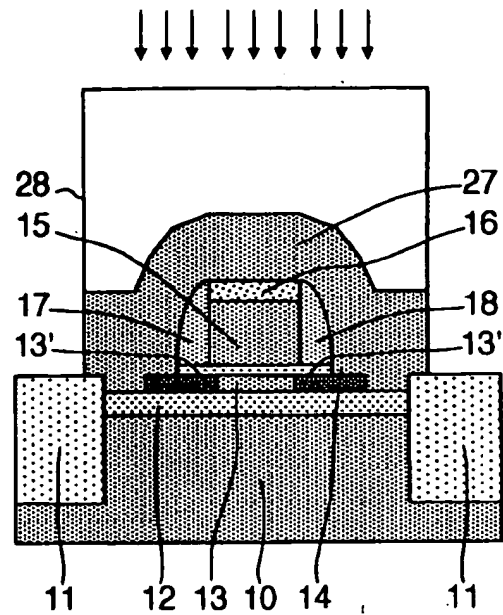
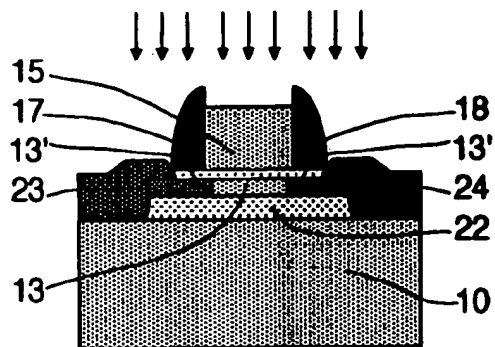
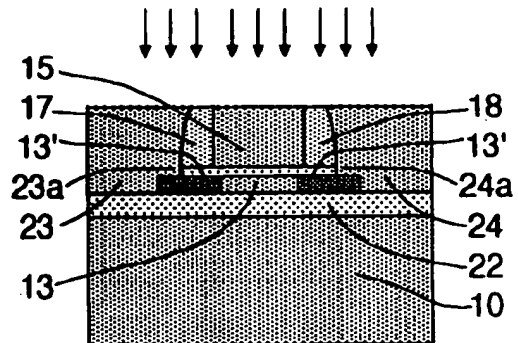
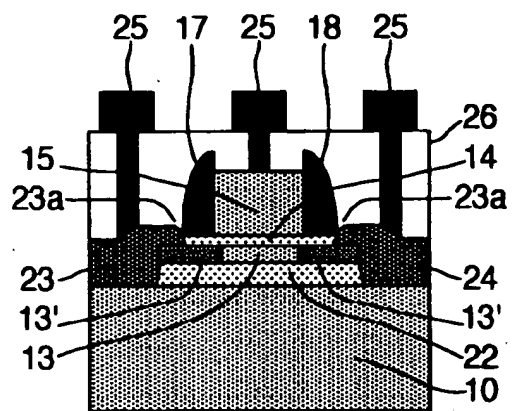
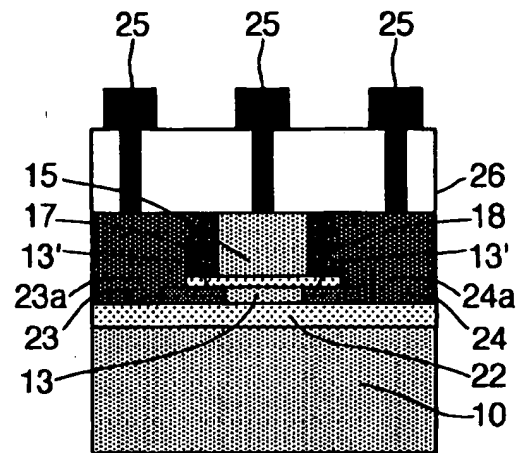
FIG.4gFIG.5gFIG.4hFIG.5h

FIG.4iFIG.5i



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2799307

N° d'enregistrement
nationalFA 582507
FR 9912308

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 5 405 795 A (BEYER KLAUS D ET AL) 11 avril 1995 (1995-04-11) * figure 1 *	1,3,4,6, 7	H01L29/786
X	HWANG J M ET AL: "ULTRA-THIN FILM SOI/CMOS WITH SELECTIVE-EPI SOURCE/DRAIN FOR LOW SERIES RESISTANCE, HIGH DRIVE CURRENT" SYMPOSIUM ON VLSI TECHNOLOGY,US,NEW YORK, IEEE, vol. SYMP. 14, 7 juin 1994 (1994-06-07), pages 33-34, XP000498570 ISBN: 0-7803-1922-2 * figure 1 *	1,3,6,7	
X	US 5 773 331 A (WONG HON-SUM PHILIP ET AL) 30 juin 1998 (1998-06-30) * figure 5 *	1,2,6,7	
A	PATENT ABSTRACTS OF JAPAN vol. 009, no. 136 (E-320), 12 juin 1985 (1985-06-12) -& JP 60 020582 A (NIPPON DENKI KK), 1 février 1985 (1985-02-01) * abrégé; figure 1 *	1,8,9	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7) H01L
A	FR 2 750 534 A (COMMISSARIAT ENERGIE ATOMIQUE) 2 janvier 1998 (1998-01-02) * figure 11 *	1,3,4, 6-8,10	
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 340 (E-1569), 27 juin 1994 (1994-06-27) -& JP 06 085259 A (FUJITSU LTD), 25 mars 1994 (1994-03-25) * abrégé; figure 4 *	1,3,4, 6-8,10	
-/-			
Date d'achèvement de la recherche		Examineur	
27 juillet 2000		Gélébart, J	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

1

EPO FORM 1503 12.99 (PAC) (4)



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2799307

N° d'enregistrement
national

FA 582507

FR 9912308

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	JURCZAK M ET AL: "SON (silicon on nothing)-a new device architecture for the ULSI era" SYMPOSIUM ON VLSI TECHNOLOGY,US,NEW YORK, NY: IEEE, 14 juin 1999 (1999-06-14), pages 29-30-30, XP002133376 ISBN: 0-7803-5438-9 * figure 1 *	1,2,5-8	
A	"MOS TRANSISTORS WITH BOTTOM-ISOLATED SOURCE/DRAIN REGIONS" RESEARCH DISCLOSURE,GB,INDUSTRIAL OPPORTUNITIES LTD. HAVANT, no. 398, 1 juin 1997 (1997-06-01), pages 378-379, XP000726504 ISSN: 0374-4353 * figures 1-5 *	1,3,5-8	
			DOMAINES TECHNIQUES RECHERCHÉS (InCL.7)
Date d'achèvement de la recherche		Examineur	
27 juillet 2000		Gélébart, J	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-dortie P : document intercalaire			

1
EPO FORM 1503 12.99 (P04C14)